

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186904

(43) 公開日 平成11年(1999) 7月9日

(51) Int. Cl. °

H03L 7/093

識別記号

庁内整理番号

F I

H03L 7/08

技術表示箇所

E

審査請求 未請求 請求項の数3 O L (全7頁)

(21) 出願番号 特願平9-352534

(22) 出願日 平成9年(1997)12月22日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 石川 明彦

神奈川県横浜市港北区新横浜2丁目3番9号 富士通ディジタル・テクノロジー株式会社内

(74) 代理人 弁理士 穂坂 和雄 (外2名)

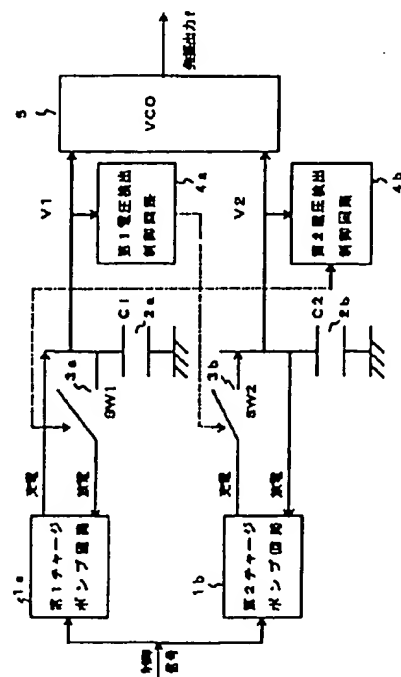
(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】本発明はPLL回路に関し、VCOの電圧感度を変えることなく、また外部から周波数範囲を調整することなくPLLの発振可能周波数範囲を広げることを目的とする。

【解決手段】基準周波数信号と電圧制御発振器の発振出力信号を入力する位相比較器と、位相比較器からの制御信号によりコンデンサの充放電制御を行うチャージポンプ回路と、チャージポンプ回路の電圧に対応する周波数を出力する電圧制御発振器とからなる。位相比較器からの制御信号により制御される第1と第2のチャージポンプ回路を並列に設け、各チャージポンプ回路により充放電される2つのコンデンサとを設け、電圧制御発振器は2つのコンデンサの電圧が入力され、2つの電圧を加算した値に対応する周波数を発生するよう構成する。

本発明の原理構成図



【特許請求の範囲】

【請求項 1】 基準周波数信号と電圧制御発振器の発振出力信号を入力する位相比較器と、位相比較器からの制御信号によりコンデンサの充放電制御を行うチャージポンプ回路と、チャージポンプ回路の電圧に対応する周波数を出力する電圧制御発振器とからなる PLL 回路において、前記位相比較器からの制御信号により制御される第 1 と第 2 のチャージポンプ回路を並列に設けると共に各チャージポンプ回路に接続されて個別に充放電される第 1 と第 2 のコンデンサを設け、前記電圧制御発振器は前記 2 つのコンデンサの出力が供給され、各出力電圧を加算した値に対応する周波数を発生することを特徴とする PLL 回路。

【請求項 2】 請求項 1 において、前記第 1 のチャージポンプ回路の出力により第 1 のコンデンサの放電を許容するか否かを制御する第 1 のスイッチと、前記第 2 のチャージポンプ回路の出力により第 2 のコンデンサへの充電を許容するか否かを制御する第 2 のスイッチとを設け、前記第 2 のスイッチは前記第 1 のコンデンサの電圧が予め設定された第 1 の電圧 (VR1) より低いかなにかによりオン・オフの制御を行う第 1 の電圧検出制御回路と、前記第 1 のスイッチは第 2 のコンデンサの電圧が予め設定された前記第 1 の電圧より高い第 2 の電圧 (VR2) より高いかなにかによりオン・オフの制御を行う第 2 の電圧検出制御回路とを備えることを特徴とする PLL 回路。

【請求項 3】 請求項 1 において、前記電圧制御発振器は、前記第 1 のコンデンサの電圧を電流に変換する第 1 の電圧電流変換回路と、前記第 2 のコンデンサの電圧を電流に変換する第 2 の電圧電流変換回路と、前記第 1 と第 2 の電圧電流変換回路からの電流を加算した電流値に対応する周波数を発振する電流制御発振器とを備えることを特徴とする PLL 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は PLL (Phase Locked Loop) 回路に関する。近年の情報通信機器や通信システムの高速化に伴って、その同期制御のためのタイミング信号 (クロック信号) には、高速、且つ安定な発振器が求められている。その発振器として、PLL 周波数シンセサイザ (以下、PLL と略称する) が広く用いられている。その PLL の構成要素の中でも、電圧制御発振器 (VCO: Voltage Controlled Oscillator) には制御電圧範囲に対して安定した発振周波数範囲の確保が要求されている。

【0002】

【従来の技術】 図 9 は従来の一般的な PLL の構成の概要を示す。これらの各構成要素を説明すると、80 は VCO で、入力制御電圧に比例した周波数 f_1 で発振する発振器、81 は制御電圧を保持するコンデンサ、82 はコンデンサ 81 を充放電するチャージポンプ回路、83

は基準信号 f_2 の入力信号と VCO 80 から発振出力される周波数信号 f_1 の位相を比較する比較器である。

【0003】 この構成において、PLL は位相比較器 83 において入力信号 f_1 、 f_2 の位相を比較して、入力信号 f_1 より f_2 の位相が早い時はチャージポンプ回路 82 からコンデンサ 81 を充電する制御信号が発生し、入力信号 f_1 より f_2 の位相が遅い場合はコンデンサ 81 を放電させる制御信号を発生する。このループ制御系により入力信号 f_1 、 f_2 の位相が常に等しくなるように VCO 80 の発振周波数が制御される。

【0004】 従来の PLL に用いられている VCO では、制御電圧の入力が一つであるために、発振周波数 f は概ね、次の式 (1) に従って決められる。

$$f = KV + f_0 \quad (1)$$

但し、 f は発振周波数 (Hz)、 f_0 は自走周波数、 K は電圧感度 (Hz/V)、 V は制御電圧 (ボルト) である。

【0005】 発振周波数 f が式 (1) のような関係で決定され、その制御電圧の範囲が、電源電圧によって制限されているため、図 9 のような従来の PLL の発振周波数は、次の範囲に制限されている。但し、 V_{max} は最高制御電圧 (\leq 電源電圧) である。

$$f_0 \sim KV_{max} + f_0$$

【0007】

【発明が解決しようとする課題】 上記従来の技術によれば、制御電圧の範囲が電源電圧により制限されるため PLL の発振周波数の範囲が制限されてしまう。この発振周波数の範囲を広い範囲に拡大する方法として、次の 2 つの方法がある。その 1 つは、電源電圧の少しの変動に対して VCO の電圧感度を上げて発振周波数範囲を広くなるように設計することであり、2 つ目は外部から PLL の発振周波数範囲の調整を行う回路を付加する方法である。

【0008】 しかし、上記 1 つ目の VCO の電圧感度を上げる方法を取ると、少しの電圧変化により周波数が大きく変動して電圧感度が不必要に高くなる。この場合、外部雑音によっても周波数が大きく変化してしまい雑音に弱くなるという問題があった。また、上記 2 つの目の外部に制御手段を設ける方法は、外部から制御するための回路を設ける必要があり、コストと回路規模の増大を招くという問題があった。

【0009】 本発明は VCO の電圧感度を変えることなく、また外部から周波数範囲を調整することなく PLL の発振可能周波数範囲を広げることができる PLL 回路を提供することを目的とする。

【0010】

【課題を解決するための手段】 図 1 は本発明の原理構成図、図 2 は本発明の動作特性を示す図である。本発明は 2 つのチャージポンプ回路を用いてそれぞれが電源電圧まで充電可能であり、2 つ電圧値を加算した電流に対応した電圧を電圧制御発振器から発生するようにした。

【0011】図1中、1aは第1チャージポンプ回路、1bは第2チャージポンプ回路、2a、2bは第1コンデンサ(C1)、第2コンデンサ(C2)、3aは第1チャージポンプ回路1aの放電路をオン・オフする第1スイッチ(SW1)、3bは第2チャージポンプ回路1bの充電路をオン・オフする第2スイッチ(SW2)、4a、4bはそれぞれコンデンサ2a、2bからの制御電圧V1、V2の電圧を検出しそれぞれ閾値VR1、VR2と比較して、その結果に応じて第1スイッチ3a、第2スイッチ3bを制御する第1、第2電圧検出制御回路、5は2つのコンデンサ2a、2bの出力電圧を加算した電圧に対応する周波数fを発生するVCO(電圧制御発振器)である。

【0012】図1の原理構成において、VCO5は、入力制御電圧V1、V2に対して次の式(2)のような関係を持つ周波数fで発振を行う。

$$f = K(\alpha V1 + \beta V2) + f0 \quad (2)$$

但し、f：発振周波数、f0：自走周波数、K：電圧感度、 α 、 β ：比例定数である。

【0013】第1電圧検出制御回路4aは制御電圧V1を監視し、一定の設定電圧VR1に対し第2スイッチ3bを次のように制御する。V1 \geq VR1の時、第2スイッチ3bをオンにして、チャージポンプ回路1bによる充電を許可する。

【0014】V1<VR1の時、第2スイッチ3bをオフにして、チャージポンプ回路1bによる充電を禁止する。また、第2電圧検出制御回路4bは制御電圧V2(但し、V2>V1である)を監視し、一定の設定電圧VR2に対し第1スイッチ3aを次のように制御する。

【0015】V2 \geq VR2の時、第1スイッチ3aをオフにして、チャージポンプ回路1aによる放電を禁止する。V2<VR2の時、第1スイッチ3aをオンにして、チャージポンプ回路1aによる放電を許可する。

【0016】図2に示す動作特性を参照しながら、図1の動作原理を説明する。図2のA.は横軸のVCO5へ入力される制御電圧(V1とV2を加算した値)に対応して縦軸に発振周波数の特性を示し、B.は横軸の電流値(右向きが充電方向、左向きが放電方向)に対応する縦軸の制御電圧(V1、V2)の各領域1～領域3での制御電圧を表す。

【0017】図1の発振周波数fは制御電圧簡単化のため、比例定数 α 、 β を1とすると、上記式(2)から次の式(3)が得られる。

$$f = K(V1 + V2) + f0 \quad (3)$$

電源は正の単一電源VDDとすると、図1の回路は各領域において次のように動作する。

【0018】領域1(0<V1<VR1、V2=0)チャージポンプ回路1aは充放電可能状態(スイッチ3aはオン)で、チャージポンプ回路1bは放電可能だが充電は不可能であり、この時の発振周波数は、次の式

(4)で表される。

$$f = KV1 + f0 \quad (4)$$

領域2(VDD>V1>VR1、0<V2<VR2)チャージポンプ回路1a、1bともに充放電可能状態だが、チャージポンプ回路1aの充電能力は弱まっている状態(V1が電源電圧に近い)である。この時の発振周波数は上記式(3)と同じである。

【0020】

領域3(V1=VDD、VDD>V2>VR2)

この領域ではチャージポンプ回路1aは、充電可能だが、放電が禁止された状態である。実際には、V1が電源電圧に近い、充電能力が弱い。チャージポンプ回路1bは、充放電可能な状態で、この時の発振周波数も、上記式(3)と同じである。

【0021】従って、領域1～領域3を合わせて、発振可能周波数範囲は、次のようになる。但し、V1max、V2maxは最高制御電圧(\leq 電源電圧)である。

$$f0 \sim K(V1max + V2max) + f0$$

なお、従来例の発振可能周波数範囲は上記したようにf0 \sim KVmax+f0であるから、本発明により電圧感度を変えることなく、発振周波数範囲を広げることができる。

【0022】

【発明の実施の形態】図3は実施例の構成図であり、図4乃至図8は実施例を構成する各部の回路例である。

【0023】図3において、1～5は上記図1の同一符号の各部に対応し、1a、1bは第1チャージポンプ回路、第2チャージポンプ回路、2a、2bは第1コンデンサ(C1)、第2コンデンサ(C2)、3a、3bは第1スイッチ(SW1)、第2スイッチ(SW2)、4a、4bは第1電圧検出制御回路、第2電圧検出制御回路、5はVCOであり、6は基準の周波数信号f2とVCOの出力である周波数信号f1の位相を比較してチャージポンプ回路1a、1bへ制御信号を発生する位相比較器である。

【0024】図3の構成による動作特性は上記図2に示され、図1について説明した通りであり、図3の各部の具体的な回路例を図4乃至図8に示し、以下に説明する。図4はVCO(図3の5)の回路例を示し、図中50a、50bは第1、第2の電圧電流変換回路、51はオフセット電流I3の電流源、52は電流制御発振器である。

【0025】本発明で使用するVCO(電圧制御発振器)5は、前記コンデンサ2a、2bからの制御電圧V1、V2がそれぞれ電圧電流変換回路50a、50bへ入力されると、各電圧V1、V2を対応する電流I1、I2に変換する。この電流I1、I2は加算されて、更にオフセット電流を発生する電流源51からの電流I3も加算されて、合計I4=I1+I2+I3の電流が電流制御発振器52へ入力する。電流制御発振器52は入

力する電流値に応じた周波数信号 f を発生する。この周波数信号 f は図3の位相比較器へ供給される周波数信号 f_1 となる。このように、電流に対応した周波数を発生する電流制御発振器52を用い、2つのチャージポンプ回路1a、1bの電圧により電流を制御することで電源電圧に制限されずに広い範囲の周波数を発生することができる。

【0026】図5は電圧検出制御回路の回路例1であり、(a)、(b)はそれぞれ図3の第1の電圧検出制御回路4a、第2の電圧検出制御回路4bである。この回路例1では、各電圧検出制御回路を比較器により構成し、(a)の場合、比較器40aにより電圧 V_1 と V_{R1} を比較して、比較結果を第2のスイッチ3b (SW2) へ供給している。また、(b)の場合、比較器40bにより電圧 V_2 と V_{R2} を比較して、比較結果を第1のスイッチ3a (SW1) へ供給している。

【0027】次に図6は電圧検出制御回路の回路例2を示す。図6の(a)と(b)もそれぞれ図3の第1の電圧検出制御回路4a、第2の電圧検出制御回路4bである。この回路例2では、(a)と(b)の何れもN型のMOSトランジスタTR1、TR3とP型のMOSトランジスタTR2、TR4を組み合わせたCMOSの構成を用い、トランジスタTR1とTR2がオンとなるスレッシュホールド電圧をそれぞれ V_{R1} 、 V_{R2} になるようそれぞれのサイズ（特にゲート・ソース間電圧を決めるサイズ）を設定する。このような構成により、(a)の場合、トランジスタTR1、TR2は入力電圧 V_1 が V_{R1} を超えると出力 (SW2制御信号) としてグランド電位が発生する。同様に(b)の場合、トランジスタTR3、TR4は入力電圧 V_2 が V_{R2} を超えると出力 (SW1制御信号) としてグランド電位が発生する。

【0028】図7はチャージポンプ回路 (図3の1a、1b) の回路例である。この構成において、60、63は定電流源、61、62は位相比較器 (図3の6) から発生する充放電制御信号によりオン・オフ制御されるスイッチであり、電圧値により2つのスイッチの内の一方がオンになると、他方はオフになる。なお、この図7の回路の出力である充電電流と放電電流は、上記図3のチャージポンプ回路1a、1bのそれぞれの回路から出力

される。

【0029】次に図8に電圧電流変換回路の回路例である。図8の(a)、(b)は上記図4に示すVCOの内部に設けられた電圧電流変換回路50a、50bの回路例であり、それぞれ入力電圧 V_1 、 V_2 に対して、カレントミラー回路を用いて、それぞれ出力側のトランジスタから電圧 V_1 、 V_2 に比例した電流 I_1 、 I_2 を取り出している。なお、各回路の抵抗値を R とすると、各電流値は $I_1 = V_1 / R$ 、 $I_2 = V_2 / R$ となる。

10 【0030】

【発明の効果】本発明によれば、PLL回路をVCOの電圧感度 K を上げることなく、発振可能周波数範囲を広げることができる。これにより、VCOの製造工程によるばらつき、特性変動によって、発振可能周波数範囲が多少変動しても、所望の広い周波数範囲を確保することができる。また、電源電圧が低下して制御電圧範囲が狭くなっても、従来よりVCOの発振可能周波数範囲が広く確保することができる。

【図面の簡単な説明】

20 【図1】本発明の原理構成図である。

【図2】本発明の動作特性を示す図である。

【図3】実施例の構成図である。

【図4】VCOの回路例を示す図である。

【図5】電圧検出制御回路の回路例1を示す図である。

【図6】電圧検出制御回路の回路例2を示す図である。

【図7】チャージポンプ回路の回路例を示す図である。

【図8】電圧電流変換回路の回路例を示す図である。

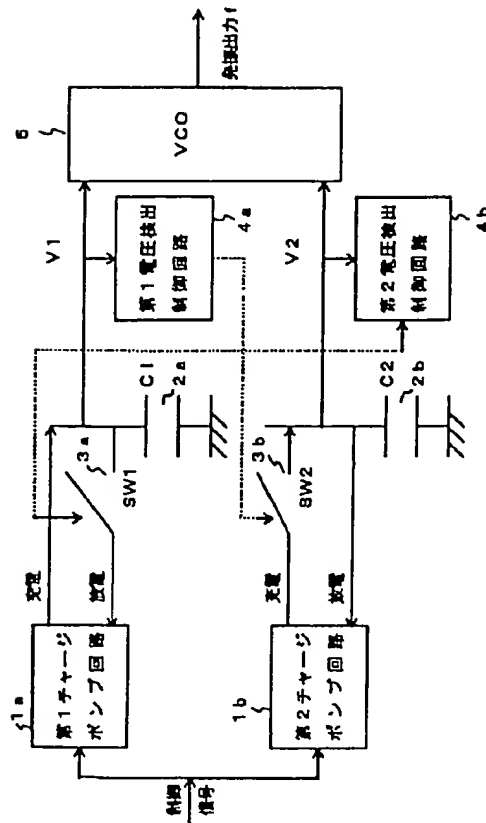
【図9】従来の一般的なPLLの構成の概要を示す図である。

30 【符号の説明】

- 1a 第1チャージポンプ回路
- 1b 第2チャージポンプ回路
- 2a 第1コンデンサ (C1)
- 2b 第2コンデンサ (C2)
- 3a 第1スイッチ (SW1)
- 3b 第2スイッチ (SW2)
- 4a 第1電圧検出制御回路
- 4b 第2電圧検出制御回路
- 5 VCO

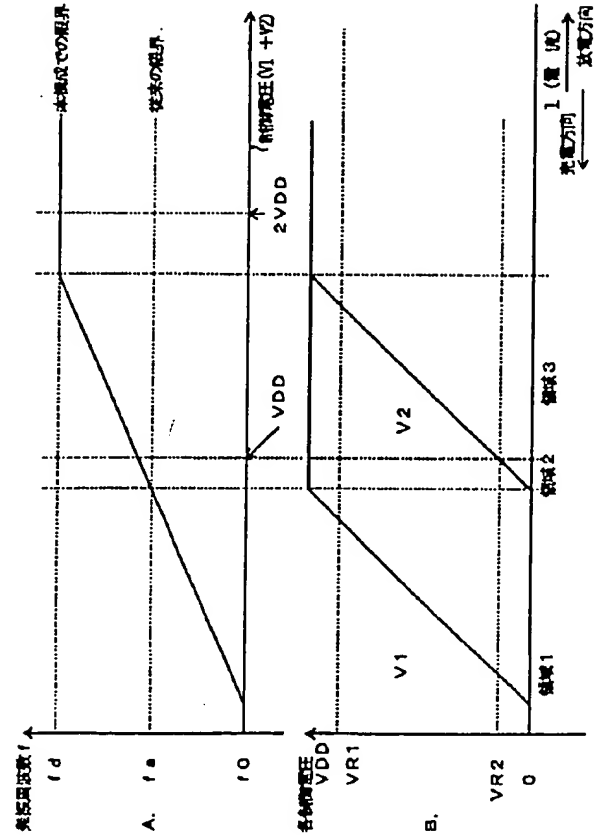
【図1】

本発明の原理構成図



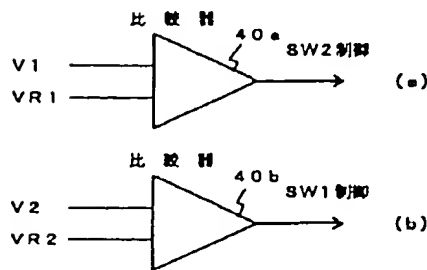
【図2】

本発明の動作特性



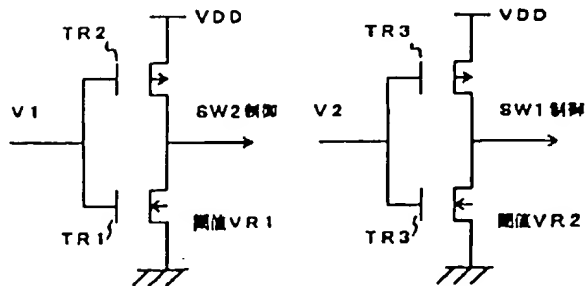
【図5】

電圧検出制御回路の回路例1



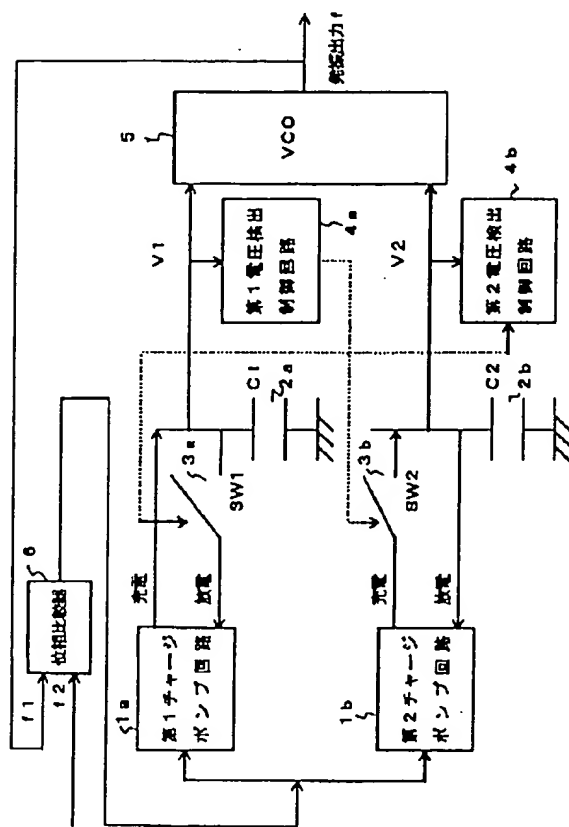
【図6】

電圧検出制御回路の回路例2



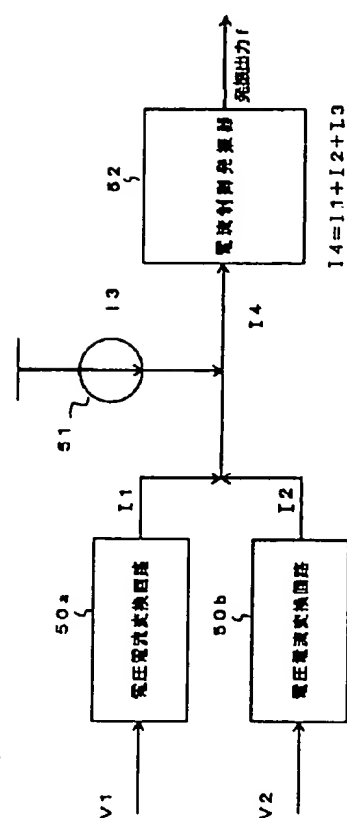
【圖 3】

実用例の構成図



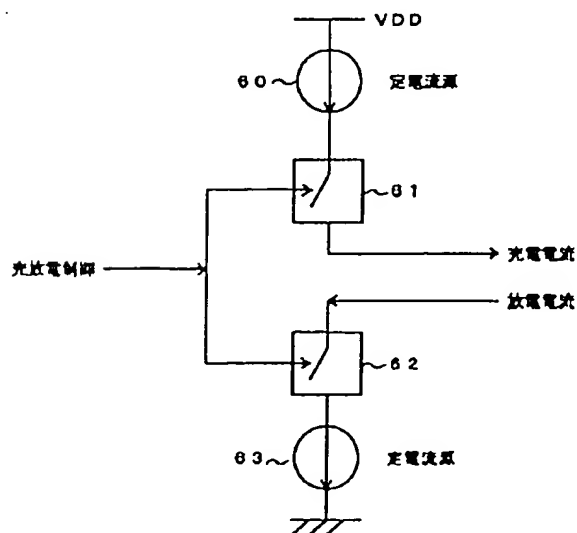
【图4】

VCO の回路例



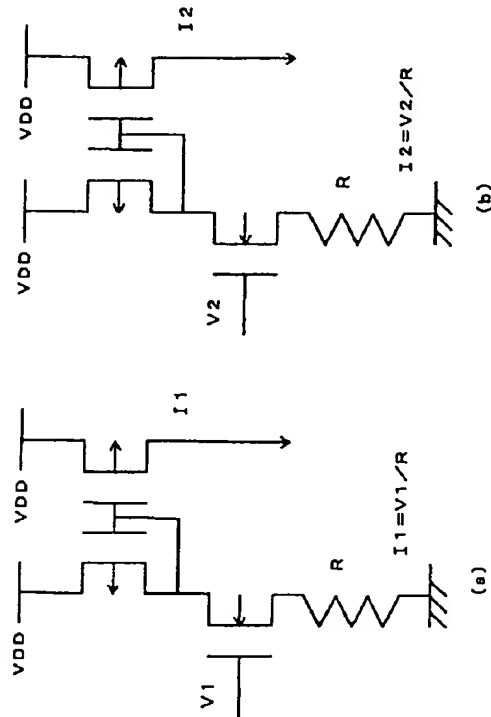
【图 7】

チャージポンプ回路の回路例



【図8】

電圧電流交換回路の回路例



【図9】

従来の一般的なPLLの構成の概略

